

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07094981 A**

(43) Date of publication of application: **07 . 04 . 95**

(51) Int. Cl.

H03G 3/30

(21) Application number: **05233378**

(22) Date of filing: **20 . 09 . 93**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **AZUMA TAKASHI**

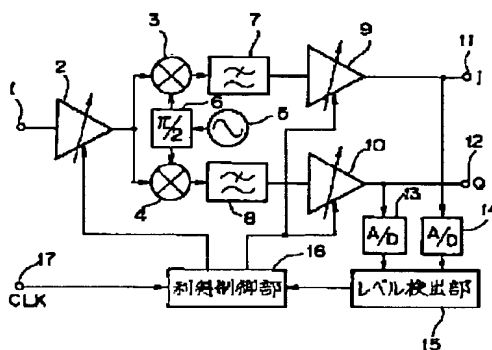
(54) **AUTOMATIC GAIN CONTROL CIRCUIT**

(57) Abstract:

PURPOSE: To provide an automatic gain control circuit allowed to be applied to a direct conversion system and having sufficiently long response time and gain stability.

CONSTITUTION: A level detection part 15 detects the output levels of variable gain amplifiers 9, 10 for amplifying a base band signal, a gain control part 16 compares the detected levels with a previously set level and changes the gain changing speeds of an RF variable gain amplifier 2 for amplifying a radio frequency signal and the amplifiers 9, 10 in accordance with a deviation between both the levels.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94981

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶

H 0 3 G 3/30

識別記号

B

片内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平5-233378

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 東 隆司

東京都日野市旭が丘3丁目1番地の1 株

式会社東芝日野工場内

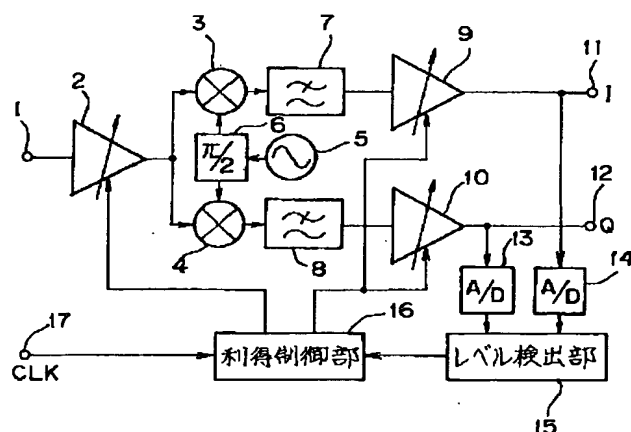
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 自動利得制御回路

(57) 【要約】

【目的】ダイレクトコンバージョン方式に適用でき、十分な応答時間と利得安定性を有する自動利得制御回路を提供する。

【構成】ベースバンド信号を増幅するベースバンド可変利得増幅器 (9、10) の出力レベルをレベル検出部 (15) で検出し、利得制御部 (16) では、この検出レベルと予め設定した設定レベルとを比較し、その偏差に対応して無線周波数信号を増幅するRF可変利得増幅器 (2) およびベースバンド可変利得増幅器 (9、10) の利得変化速度を変化させる。



【特許請求の範囲】

【請求項 1】受信した無線周波数信号を増幅する第 1 の可変利得増幅器と、
前記第 1 の可変利得増幅器の出力をベースバンド信号に直交復調する直交復調器と、
前記直交復調器から出力されたベースバンド信号から不要成分を除去する低域通過フィルタと、
前記低域通過フィルタの出力を増幅する第 2 の可変利得増幅器とを具備し、前記第 1 の可変利得増幅器および前記第 2 の可変利得増幅器を利得を変化させることにより前記ベースバンド信号を予め設定した設定レベルに制御する自動利得制御回路において、
前記第 2 の可変利得増幅器の出力レベルを検出するレベル検出手段と、
前記レベル検出手段の検出レベルと前記設定レベルとを比較し、その偏差に対応して前記第 1 の可変利得増幅器および前記第 2 の可変利得増幅器の利得変化速度を変化させる利得制御手段とを具備することを特徴とする自動利得制御回路。

【請求項 2】前記利得制御手段は、
前記偏差が予め設定した値の範囲内にあるときは前記利得変化速度を零に制御することを特徴とする請求項 1 記載の自動利得制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、無線受信機のベースバンド信号のレベルを一定に制御する自動利得制御回路に関し、特に中間周波段を有しないダイレクトコンバージョン方式に適用される自動利得制御回路に関する。

【0002】

【従来の技術】従来、無線受信機のベースバンド信号のレベルを一定に制御する自動利得制御回路としては図 8 に示すものが知られている。

【0003】この図 8 に示す自動利得制御回路は、端子 100 から入力された無線周波数信号 (RF 信号) を増幅する RF 増幅器 101、この RF 増幅器 101 の出力を濾波する RF バンドパスフィルタ 102、この RF バンドパスフィルタ 102 の出力に第 1 のローカル発振器 (1st LO) 104 の出力をミキシングして第 1 中間周波信号 (1st IF 信号) を形成する第 1 のミキサ 103、この第 1 のミキサ 103 の出力を増幅する第 1 中間周波増幅器 105、第 1 中間周波増幅器 105 の出力を濾波する第 1 中間周波バンドパスフィルタ 106、この第 1 中間周波バンドパスフィルタ 106 の出力に第 1 のローカル発振器 (2nd LO) 108 の出力をミキシングして第 2 中間周波信号 (2nd IF 信号) を形成する第 2 のミキサ 107、この第 2 のミキサ 107 の出力を増幅する第 2 中間周波増幅器 109、2 つのミキサ 110、111 およびローカル発振器 113 および $\pi/2$ 位相差分波器 112 から構成され、第 2 中間周波増幅器

109 の出力を I ベースバンド信号および Q ベースバンド信号に直交変調する直交変調器、この直交変調器から出力される I ベースバンド信号および Q ベースバンド信号をそれぞれ濾波するローパスフィルタ 114 および 115、ローパスフィルタ 114 および 115 の出力をそれぞれ増幅する増幅器 116 および 117 を具備する無線受信機に適用され、第 2 中間周波増幅器 109 の出力レベルを検出するレベル検出部 118 およびこのレベル検出部 118 の出力に対応して第 2 中間周波増幅器 109 の利得、またはこれに加えて RF 増幅器 101 の利得を制御するように構成されている。

【0004】ところで、無線受信機には、無線周波数信号 (RF 信号) を直交変調器で直接 I ベースバンド信号および Q ベースバンド信号に直交変調する、いわゆるダイレクトコンバージョン方式を採用するものが知られている。

【0005】しかし、このダイレクトコンバージョン方式による無線受信機では図 8 に示したような中間周波 (IF) 段が存在しないため、図 8 に示したような構成をとることができない。

【0006】そこで、ダイレクトコンバージョン方式による無線受信機ではレベル検出をベースバンド段で行い、可変利得制御を RF 段およびベースバンド段で行う必要がある。

【0007】しかし、この場合は、QPSK 信号のようにベースバンド信号のレベルが 1 シンボルの間にも変動する場合には、その変動に応じて可変利得アンプの利得が変動しないように利得変化速度を押さえなければならず、これによって応答時間が遅くなってしまったり、フェージングに追従できなくなってしまうという不具合があった。

【0008】

【発明が解決しようとする課題】上記の如く、従来の自動利得制御回路は、IF 段で可変利得制御を行っていたため、IF 段の存在しないダイレクトコンバージョン方式にはそのまま適用できないという不具合があり、また、ダイレクトコンバージョン方式においてベースバンド段でレベル検出を行おうとすると、利得変化速度を押さえなければならず、これによって応答時間が遅くなってしまったり、フェージングに追従できなくなってしまうという不具合があった。

【0009】そこで、この発明は、ダイレクトコンバージョン方式に適用でき、十分な応答時間と利得安定性を有する自動利得制御回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、この発明は、受信した無線周波数信号を増幅する第 1 の可変利得増幅器と、前記第 1 の可変利得増幅器の出力をベースバンド信号に直交復調する直交復調器と、前記直交復調器から出力されたベースバンド信号から不要

成分を除去する低域通過フィルタと、前記低域通過フィルタの出力を増幅する第2の可変利得増幅器とを具備し、前記第1の可変利得増幅器および前記第2の可変利得増幅器を利得を変化させることにより前記ベースバンド信号を予め設定した設定レベルに制御する自動利得制御回路において、前記第2の可変利得増幅器の出力レベルを検出するレベル検出手段と、前記レベル検出手段の検出レベルと前記設定レベルとを比較し、その偏差に対応して前記第1の可変利得増幅器および前記第2の可変利得増幅器の利得変化速度を変化させる利得制御手段とを具備することを特徴とする。

【0011】

【作用】この発明では、ベースバンド信号を増幅する第2の可変利得増幅器の出力レベルをレベル検出手段で検出し、この検出レベルと予め設定した設定レベルとを比較し、その偏差に対応して無線周波数信号を増幅する第1の可変利得増幅器およびベースバンド信号を増幅する第2の可変利得増幅器の利得変化速度を利得制御手段により変化させる。

【0012】ここで、利得制御手段は、前記偏差が予め設定した値の範囲内にあるときは前記利得変化速度を零に制御するように構成することができる。

【0013】これにより、ベースバンド信号がQPSK信号のように1シンボルの間でベースバンド信号レベルが変動する場合でも利得が安定し、十分な応答時間を得ることができる。

【0014】

【実施例】以下、この発明に係る自動利得制御回路の実施例を図面に基づいて詳細に説明する。

【0015】図1は、この発明に係る自動利得制御回路の一実施例の全体構成を示すブロック図である。図1において、無線周波数信号（RF信号）はRF信号入力端子1に入力し、このRF信号はRF可変利得増幅器2によって増幅或いは減衰され、ミキサ3、ミキサ4、ローカル発振器5、 $\pi/2$ 位相差分波器6から構成される直交復調器によってIベースバンド信号およびQベースバンド信号からなるベースバンド帯の信号に直交復調される。

【0016】直交復調されたIベースバンド信号およびQベースバンド信号は、それぞれ低域通過フィルタ7および8によって不要成分を除かれ、ベースバンド可変利得増幅器9および10によって増幅或いは減衰され、ベースバンド信号出力端子11および12から出力される。

【0017】また、ベースバンド可変利得増幅器9および10の出力はアナログ／デジタル変換器（A/D）13および14に加えられ、ここでデジタル値からなるIベースバンド信号およびQベースバンド信号に変換される。このデジタル値からなるIベースバンド信号およびQベースバンド信号はレベル検出部15に入力さ

れてそのレベルが検出される。レベル検出部15で検出されたベースバンド信号のレベルは利得制御部16に入力される。

【0018】利得制御部16は、レベル検出部15で検出されたベースバンド信号のレベルに対応して、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得変化速度を制御する。

【0019】図2は、この利得制御部16の詳細構成を示したものである。図2において、図1に示したレベル検出部15で検出されたベースバンド信号レベルはレベル入力端子18に入力され、第1～第4の比較器19～22で、端子23～26から入力された第1～第4のしきい値U1、U0、L0、L1と比較される。

【0020】ここで、第1～第4のしきい値U1、U0、L0、L1は所定の設定レベルに対応して図3に示すように設定されている。

【0021】ここで、所定の設定レベルは、この自動利得制御回路の目標設定レベルで、この実施例においては、ベースバンド信号のレベルがこの目標設定レベルに近付くように制御される。

【0022】第1～第4の比較器19～22において、ベースバンド信号レベルが第1のしきい値U1より大きいまたは第4のしきい値L1より小さい場合は、第1の比較器19または第4の比較器22はハイレベルの信号を出力し、また、ベースバンド信号レベルが第1のしきい値U1以下でありかつ第4のしきい値L1以上である場合は、第1の比較器19および第4の比較器22は共にローレベルの信号を出力する。

【0023】また、第2の比較器20は、ベースバンド信号レベルが第2のしきい値U0より大きい場合はハイレベルの信号を出力し、ベースバンド信号レベルが第2のしきい値U0より小さい場合はローレベルの信号を出力する。

【0024】また、第3の比較器21は、ベースバンド信号レベルが第3のしきい値L0より小さい場合はハイレベルの信号を出力し、ベースバンド信号レベルが第3のしきい値L0より大きい場合はローレベルの信号を出力する。

【0025】第1の比較器19および第4の比較器22の出力はオア回路ORを介してクロック切換部29に入力される。

【0026】また、第2の比較器20の出力は、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のダウン制御入力（down）に加えられ、第3の比較器21の出力は、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のアップ制御入力（up）に加えられる。

【0027】クロック切換部29は、クロック入力端子17から入力されるクロック信号（CLK）に基づき高

速クロックと低速クロックとを生成し、この高速クロックと低速クロックをオア回路ORの出力に対応して出力するように構成されている。図4は、このクロック切換部29の詳細構成を示したものである。図4において、クロック入力端子17から入力されたクロック信号（CLK）は2つに分岐され、一方はそのまま切換スイッチSWの端子aに高速クロックとして加えられ、他方は分周器44によって分周されて切換スイッチSWの端子bに低速クロックとして加えられる。

【0028】切換スイッチSWは、図2に示した第1の比較器19および第4の比較器22の出力が加えられるオア回路ORの出力信号に対応して切換えられるように構成されている。

【0029】ここで、ベースバンド信号レベルが第1のしきい値U1より大きいまたは第4のしきい値L1より小さい場合は、第1の比較器19または第4の比較器22はハイレベルの信号を出力し、この場合は、オア回路ORの出力信号はハイレベルとなり、切換スイッチSWは図示のように端子a側に切り換えられ、高速クロックが、端子a、端子cを介して出力端子OUTから出力される。

【0030】また、ベースバンド信号レベルが第1のしきい値U1以下でありかつ第4のしきい値L1以上である場合は、第1の比較器19および第4の比較器22は共にローレベルの信号を出力し、この場合は、オア回路ORの出力信号はローレベルとなり、切換スイッチSWは図示と反対の端子b側に切り換えられ、低速クロックが、端子b、端子cを介して出力端子OUTから出力される。

【0031】再び図2を参照しながら説明すると、クロック切換部29から出力された高速クロックまたは低速クロックは、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のクロック入力（CLK）に加えられる。

【0032】ところで、ベースバンド信号レベルが第2のしきい値U0以下でありかつ第3のしきい値L0以上である場合は、第2の比較器20および第3の比較器21からは共にローレベルの信号が出力されており、このローレベルの信号は、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のダウン制御入力（down）およびアップ制御入力（up）に加えられるので、この場合、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28はホールドされ、現在のカウント値を維持している。

【0033】また、ベースバンド信号レベルが第2のしきい値U0より大きい場合は、第2の比較器20からハイレベルが出力され、このハイレベルの信号は、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のダウン制御入力（d

own）に加えられ、この場合、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28はクロック切換部29から出力された高速クロックまたは低速クロックに対応してカウントダウンする。

【0034】また、ベースバンド信号レベルが第3のしきい値L0より小さい場合は、第3の比較器21からハイレベルが出力され、このハイレベルの信号は、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のアップ制御入力（up）に加えられ、この場合、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28はクロック切換部29から出力された高速クロックまたは低速クロックに対応してカウントアップする。

【0035】そして、これら2つのアップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のカウント値はそれぞれ制御電圧発生部30および31に入力され、制御電圧発生部30および31は、入力されたカウント値に対応した制御電圧をそれぞれ発生し、これらを出力端子32および33から出力する。

【0036】この出力端子32から発生された制御電圧（BB OUT）は、ベースバンド可変利得増幅器9および10に加えられ、この制御電圧（BB OUT）に対応してベースバンド可変利得増幅器9および10の利得が制御される。

【0037】また、出力端子33から発生された制御電圧（RF OUT）は、RF可変利得増幅器2に加えられる、この制御電圧（RF OUT）に対応してRF可変利得増幅器2の利得が制御される。

【0038】また、アップダウンカウンタ（BBカウンタ）27およびアップダウンカウンタ（RFカウンタ）28のカウント値はそれぞれ比較器34および35にも入力される。

【0039】比較器34は、アップダウンカウンタ（BBカウンタ）27のカウント値を、端子36に加えられるベースバンド可変利得増幅器9および10に最小利得を与える設定値（MIN）と比較し、アップダウンカウンタ（BBカウンタ）27のカウント値が、この設定値（MIN）以下であった場合にはハイレベルの信号を出力し、このハイレベルの信号をアンド回路AN1に加えると共に、インバータIN1で反転してアンド回路AN2に加える。

【0040】また、比較器35は、アップダウンカウンタ（RFカウンタ）28のカウント値を、端子37に加えられるRF可変利得アンプ2に最大利得を与える設定値（MAX）と比較し、アップダウンカウンタ（RFカウンタ）28のカウント値が、この設定値（MAX）以上であった場合にはハイレベルの信号を出力し、

このハイレベルの信号をアンド回路AN2に加えると共に、インバータIN2で反転してアンド回路AN1に加える。

【0041】そして、アンド回路AN1の出力はアップダウンカウンタ（BBカウンタ）27のホールド制御入力（hold）に加えられ、また、アンド回路AN2の出力はアップダウンカウンタ（RFカウンタ）28のホールド制御入力（hold）に加えられる。

【0042】したがって、アップダウンカウンタ（BBカウンタ）27のカウント値が、ベースバンド可変利得増幅器9および10に最小利得を与える設定値（MIN）以下であった場合には、アップダウンカウンタ（BBカウンタ）27のカウント値をホールドし、アップダウンカウンタ（RFカウンタ）28のホールドを解除する。

【0043】同様に、アップダウンカウンタ（RFカウンタ）28のカウント値が、RF可変利得アンプ2に最大利得を与える設定値（MAX）以上であった場合には、アップダウンカウンタ（RFカウンタ）28のカウント値をホールドし、アップダウンカウンタ（BBカウンタ）27のホールドを解除する。

【0044】すなわち、この実施例においては、レベル検出部15で検出されたベースバンド信号レベルが第1のしきい値U1以上の場合、クロック切換部29から出力される高速クロックに対応した第1の利得変化速度で、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得が減少するように制御され、また、レベル検出部15で検出されたベースバンド信号レベルが第1のしきい値U1以下かつ第2のしきい値U0以上の場合、クロック切換部29から出力される低速クロックに対応した第2の利得変化速度で、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得が減少するように制御される。

【0045】また、レベル検出部15で検出されたベースバンド信号レベルが第4のしきい値L1以下の場合、クロック切換部29から出力される高速クロックに対応した第1の利得変化速度で、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得が増加するように制御され、また、レベル検出部15で検出されたベースバンド信号レベルが第4のしきい値L1以上かつ第3のしきい値L0以下の場合、クロック切換部29から出力される低速クロックに対応した第2の利得変化速度で、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得が増加するように制御される。

【0046】また、レベル検出部15で検出されたベースバンド信号レベルが第2のしきい値U0以下かつ第3のしきい値L0以上の場合、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得変化は停止される。

【0047】このように、この実施例においては、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得変化分を一定とし、クロック切換部29でクロック周波数を変化させて、利得変化速度を変化させている。

【0048】なお、上記実施例においては、1組のしきい値、すなわち、しきい値U1および第4のしきい値L1を用い、クロック切換部29から発生されるクロックを高速クロックと低速クロックとの2段階の切換えを行い、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得変化速度を2段階に切換えるように構成したが、多数組みのしきい値を設定することにより、クロック切換部29から発生されるクロックを複数段階に切換え、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得変化速度を多段階で切換えるように構成してもよい。

【0049】図5は、このように構成した場合のクロック切換部29およびその制御部の構成の一例を示したものである。図5に示す例においては、4組のしきい値、すなわち、U1およびL1、U2およびL2、U3およびL3、U4およびL4を設定することにより、クロック切換部29から発生されるクロックを4段階に切換えるように構成されている。

【0050】すなわち、クロック切換部29を、分周器38-1~38-3、マルチプレクサ39から構成して、また、比較器19-1~19-4および22-1~22-4、オア回路OR-1~OR-4、アンド回路AN-1~AN-2を用いて、4組のしきい値U1およびL1、U2およびL2、U3およびL3、U4およびL4に対応してクロック切換部29のマルチプレクサ39の切換える2ビットの信号を形成し、この2ビットの信号に対応してクロック切換部29から発生されるクロックを4段階に切換えることができるように構成している。

【0051】このような構成によると、RF可変利得増幅器2およびベースバンド可変利得増幅器9、10の利得変化速度を4段階で切換えることができ、自動利得制御回路応答時間をより短くすることができる。

【0052】図6は、図1に示した利得制御部16の他の構成例を示したものである。

【0053】図6において、図1に示したレベル検出部15で検出されたベースバンド信号レベルはレベル入力端子18に入力され、このベースバンド信号レベルは対数変換テーブル（LOG変換テーブル）40によってデシベル値に変換される。LOG変換テーブル40で変換されたデシベル値は、減算器42で、端子41に入力されてある設定値レベル（デシベル値）から減算され、その結果が加算器45、46に入力される。加算器45、46では、減算器42の出力と遅延回路47、48から出力される1クロック前の加算器45、46の出力とが

加算される。この加算器 4 5、4 6 の出力は、それぞれ、遅延素子 4 7、4 8 に出力されると共に、制御電圧発生部 3 0、3 1 および比較器 3 4、3 5 に出力される。

【0054】制御電圧発生部 3 0 および 3 1 は、入力された加算器 4 5、4 6 の出力値に対応した制御電圧をそれぞれ発生し、これらを出力端子 3 2 および 3 3 から出力する。

【0055】この出力端子 3 2 から発生された制御電圧 (BB OUT) は、ベースバンド可変利得増幅器 9 および 1 0 に加えられ、この制御電圧 (BB OUT) に対応してベースバンド可変利得増幅器 9 および 1 0 の利得が制御される。

【0056】また、出力端子 3 3 から発生された制御電圧 (RF OUT) は、RF 可変利得増幅器 2 に加えられ、この制御電圧 (RF OUT) に対応して RF 可変利得増幅器 2 の利得が制御される。

【0057】また、比較器 3 4 は、加算器 4 5 の出力値を、端子 3 6 に加えられているベースバンド可変利得増幅器 9 および 1 0 に最小利得を与える設定値 (MIN) と比較し、加算器 4 5 の出力値が、この設定値 (MIN) 以下であった場合にはハイレベルの信号を出力し、このハイレベルの信号をアンド回路 AN 1 に加えると共に、インバータ IN 1 で反転してアンド回路 AN 2 に加える。

【0058】また、比較器 3 5 は、加算器 4 6 の出力値を、端子 3 7 に加えられている RF 可変利得アンプ 2 に最大利得を与える設定値 (MAX) と比較し、加算器 4 6 の出力値が、この設定値 (MAX) 以上であった場合にはハイレベルの信号を出力し、このハイレベルの信号をアンド回路 AN 2 に加えると共に、インバータ IN 2 で反転してアンド回路 AN 1 に加える。

【0059】そして、アンド回路 AN 1 の出力は、オア回路 4 8-1 を介して、加算器 4 5 のホールド制御入力 (hold) に加えられ、また、アンド回路 AN 2 の出力は、オア回路 4 8-2 を介して、加算器 4 6 のホールド制御入力 (hold) に加えられる。

【0060】したがって、加算器 4 5 の出力値が、ベースバンド可変利得増幅器 9 および 1 0 に最小利得を与える設定値 (MIN) 以下であった場合には、加算器 4 5 の出力値をホールドし、また、加算器 4 6 の出力値が、RF 可変利得アンプ 2 に最大利得を与える設定値 (MAX) 以上であった場合には、加算器 4 6 の出力値をホールドする。

【0061】一方、レベル入力端子 1 8 に入力されたベースバンド信号レベルは、比較器 4 3、4 4 にも入力され、端子 2 4、2 5 から加えられる第 2 のしきい値 U 0 および第 3 のしきい値 L 0 とそれぞれ比較される。ここで、ベースバンド信号レベルが第 2 のしきい値 U 0 以下でありかつ第 3 のしきい値 L 0 以上である場合にはアン

ド回路 4 9 の出力はハイレベルとなり、このアンド回路 4 9 から出力されるハイレベルの信号はオア回路 4 8-1、4 8-2 を介して加算器 4 5、4 6 のホールド制御入力 (hold) にそれぞれ加えられ、加算器 4 5、4 6 の出力値を一定の値に保つ。

【0062】この図 6 の示す構成では、クロック周波数を一定とし、設定値レベルと現在のベースバンド信号レベルの差の分だけ利得を変化させて、利得変化速度を変化させるように構成している。

【0063】図 7 は、図 1 に示したレベル検出手段 1 5 の詳細回路例を示したものである。図 7 において、このレベル検出手段 1 5 は、図 1 に示した A/D 変換器 1 3、1 4 でデジタル値に変換された I ベースバンド信号および Q ベースバンド信号を端子 T 1、T 2 を介してそれぞれ乗算器 5 0、5 1 に入力して、この乗算器 5 0、5 1 において、デジタル値に変換された I ベースバンド信号および Q ベースバンド信号をそれぞれ 2 乗し、その後、この乗算器 5 0、5 1 の出力を加算器 5 2 で加算し、この加算器 5 2 の出力を平滑フィルタ 5 3 で平滑した後、端子 T 3 からベースバンド信号の電力レベルに対応したベースバンド信号レベルとして出力するように構成されている。

【0064】このように、この実施例に係わる自動利得制御回路においては、ベースバンド信号レベルをある設定値レベルで一定にするときに、ベースバンド信号レベルとこの設定値レベルとの差の大きさによって利得変化速度を変化させるようにし、ベースバンド信号レベルが設定値レベル付近でその上下の 2 つのしきい値の間にあるときには利得変化を停止するように構成されているので、QPSK 信号のように 1 シンボルの間でベースバンド信号レベルが変動する場合でも利得が安定し、かつ十分な応答時間を得ることができる。

【0065】

【発明の効果】以上説明したように、この発明では、ベースバンド信号を増幅する第 2 の可変利得増幅器の出力レベルをレベル検出手段で検出し、この検出レベルと予め設定した設定レベルとを比較し、その偏差に対応して無線周波数信号を増幅する第 1 の可変利得増幅器およびベースバンド信号を増幅する第 2 の可変利得増幅器の利得変化速度を利得制御手段により変化させるように構成したので、ダイレクトコンバージョン方式の無線受信機において十分な応答時間と利得安定性を有する自動利得制御回路を提供することができる。

【図面の簡単な説明】

【図 1】この発明に係る自動利得制御回路の一実施例の全体構成を示すブロック図。

【図 2】図 1 に示した利得制御部の詳細構成を示すブロック図。

【図 3】この実施例で採用する設定値レベルとしきい値レベルとの関係を示す図。

【図4】図2に示したクロック切換部の一構成例を示すブロック図。

【図5】図2に示したクロック切換部の他の構成例を示すブロック図。

【図6】図1に示した利得制御部の他の構成例を示すブロック図。

【図7】図1に示したレベル検出部の一構成例を示すブロック図。

【図8】従来の自動利得制御回路を示すブロック図。

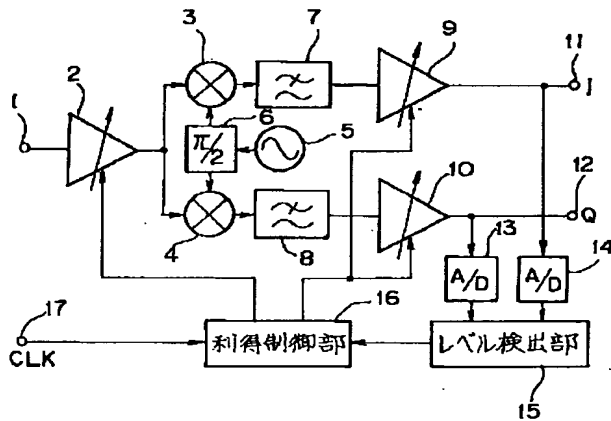
【符号の説明】

- 1 RF信号入力端子
- 2 RF可変利得アンプ
- 3、4 ミキサ
- 5 ローカル発振器
- 6 $\pi/2$ 位相差分波器
- 7、8 低域通過フィルタ
- 9、10 ベースバンド利得可変アンプ
- 11、12 ベースバンド信号出力端子
- 13、14 A/D変換器
- 15 レベル検出部

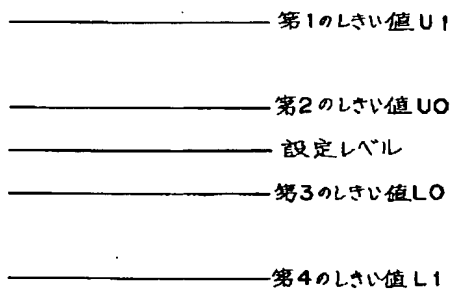
- * 16 利得制御部
- 17 クロック信号入力端子
- 18 ベースバンド信号レベル入力端子
- 19～22 比較器
- 23～26 しきい値
- 27、28 U/Dカウンタ
- 29 クロック切換部
- 30、31 制御電圧発生部
- 32、33 制御電圧出力端子
- 10 34、35 比較器
- 38 分周器
- 39 マルチプレクサ
- 40 LOG変換テーブル
- 42 減算器
- 43、44 比較器
- 45、46 加算器
- 47、48 遅延回路
- 50、51 乗算器
- 52 平滑化フィルタ

* 20

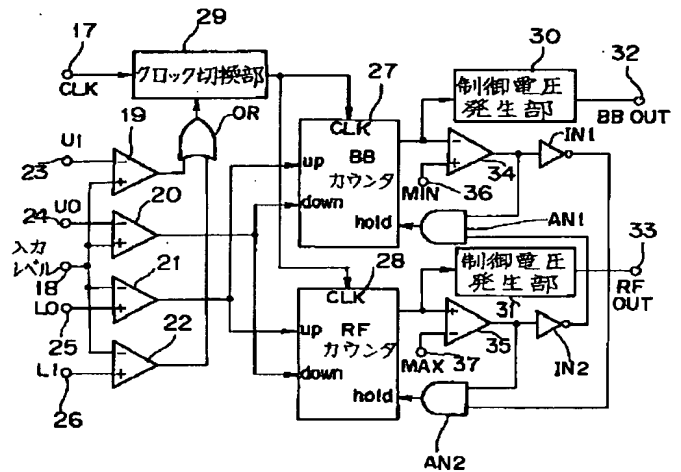
【図1】



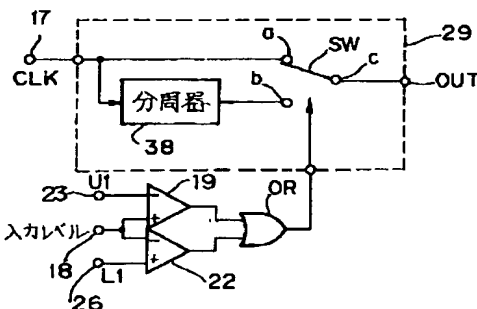
【図3】



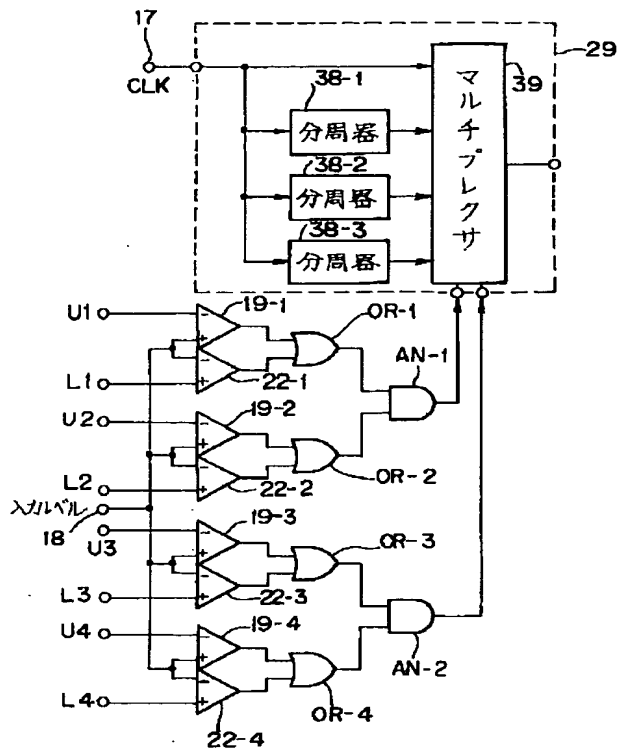
【図2】



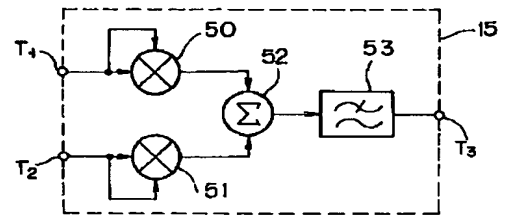
【図4】



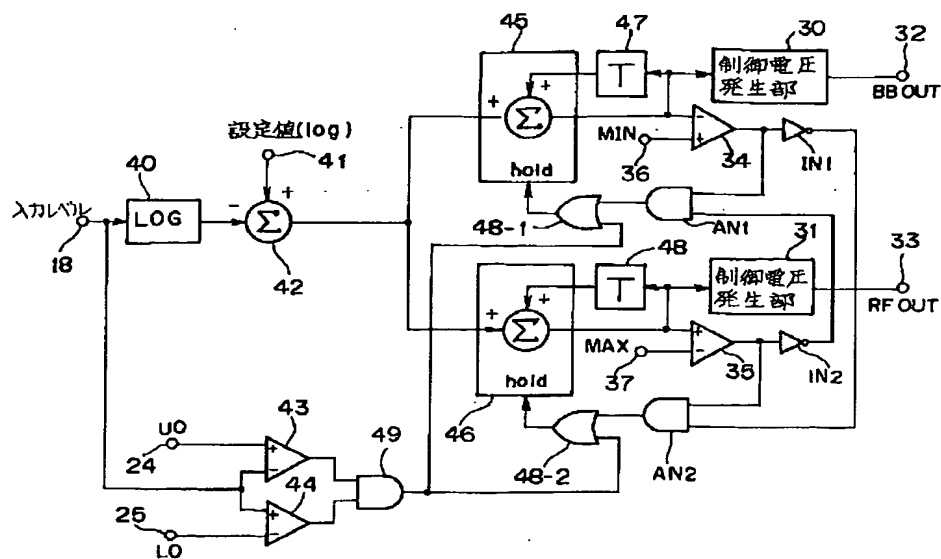
【図 5】



【図 7】



【図 6】



【図 8】

